

print out

Patent/Publication No. 489346

Title Chip surface mounted passive device structure and its manufacturing process with the capability of reducing the power consumption of silicon substrate caused by eddy current effect so as to increase the chip performance

Publication Date 2002/06/01

Application Date 2001/02/09

Application No. 090102895

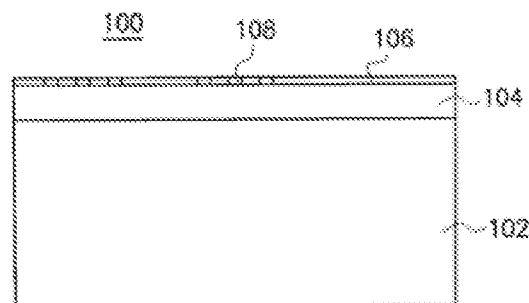
Certification_Number 156617

IPC H01L-021/00

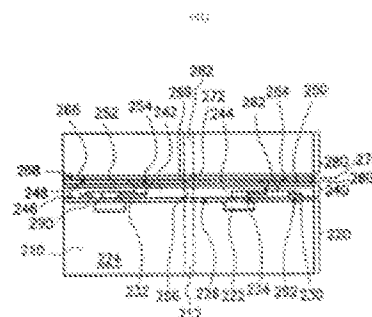
Inventor LIN, MAO-XIONG TW;
LI, JIN-YUAN TW

Applicant MEGIC CORP. RW

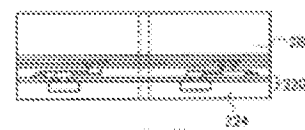
Abstract A kind of chip surface mounted passive device structure includes a chip, which has multiple semiconductor units and a silicon substrate. A wide conducting wire structure body, which contains at least one polymer dielectric material and one 3-D wide circuit structure that interlaces inside the polymer dielectric material, is also included in the present invention. In addition, the wide



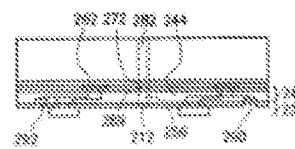
第 1 圖



第 2 圖



第 3 圖



第 4 圖

~ 2019 ~

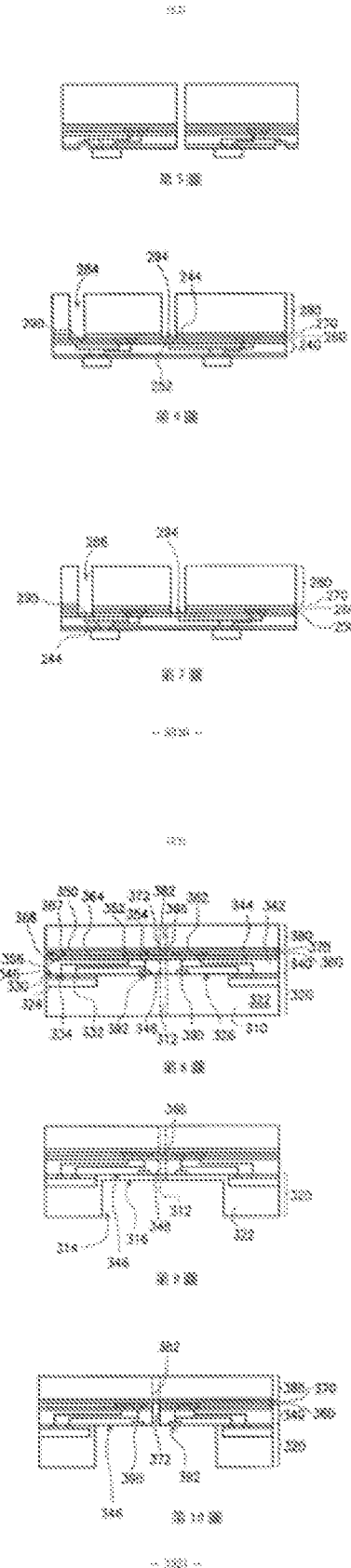
conducting wire structure body is provided with the first surface and the corresponding second surface. The first surface of the wide conducting wire structure body and the second surface of the wide conducting wire structure body are located on the opposite sides, respectively, of the wide conducting wire structure body. The first surface of the wide conducting wire structure is contacted with the chip. Moreover, multiple passive devices are included in the present invention, in which the passive devices are electrically connected with 3-D wide circuit structure and are located on the second surface of the wide conducting wire structure.

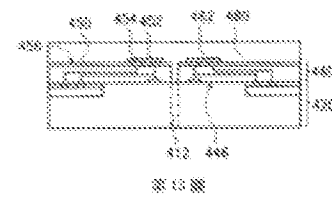
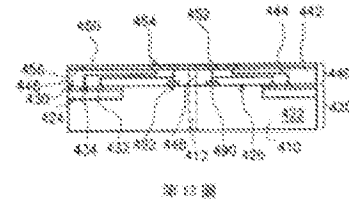
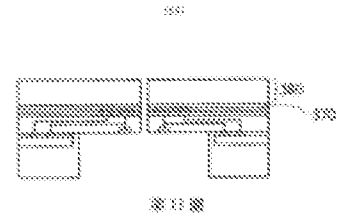
Individual

Patent Right Change

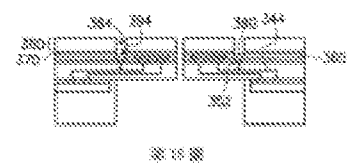
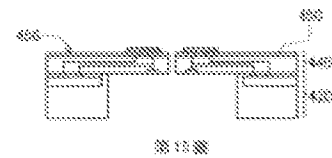
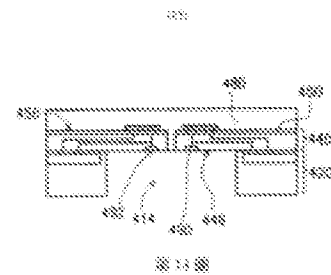
F

Application Number	090102895
Date of Update	20090925
Licensing Note	No
Mortgage Note	No
Transfer Note	Yes
Succession Note	No
Trust Note	No
Opposition Note	No
Invalidation Note	No
Cessation Note	
Revocation Note	
Issue date of patent right	20020601
Patent expiry date	20210208
Maintenance fee due	20100531
Years of annuity paid	008





• 88 •



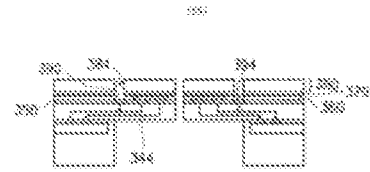


圖 17

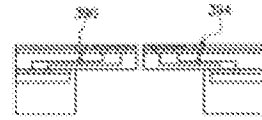


圖 18

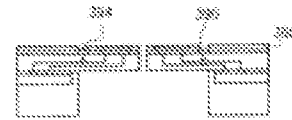


圖 19

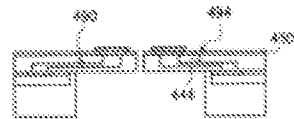


圖 20

-- 302b --

公告本

90.12.31

申請日期	90.2.9.
案號	90102895
類別	H01L 21/00

A4
C4

489346

(以上各欄由本局填註) 為 90102895 號首頁修正頁 修正日期 90.12.31

發明專利說明書		
一、發明名稱	中文	晶片表面安置被動元件結構及其製程
	英文	
二、發明人	姓名	1 林茂雄 2 李進源
	國籍	中華民國
	住、居所	1 新竹市金山十街 28 號 2 新竹市仙水里安和街 4 巷 11 號
三、申請人	姓名 (名稱)	米輯科技股份有限公司
	國籍	中華民國
	住、居所 (事務所)	新竹科學工業園區研發一路 21 號
	代表人 姓名	林茂雄

經濟部智慧財產局員工消費合作社印製

裝

訂

線

四、中文發明摘要(發明之名稱：

晶片表面安置被動元件結構及其
製程)

一種晶片表面安置被動元件結構，包括：一晶片，此晶片包括多個半導體單元、一矽基底。一寬導線結構體，此寬導線結構體包括至少一聚合物介電材質、一立體化寬線路結構，此立體化寬線路結構交錯於聚合物介電材質之內，並且寬導線結構體具有一第一表面以及對應之一第二表面，寬導線結構體之該第一表面與寬導線結構體之第二表面分別位於寬導線結構體的相對之兩側，而寬導線結構體之第一表面與晶片接觸。以及多個被動元件，被動元件與立體化寬線路結構電性連通，且位於寬導線結構體之第二表面。

英文發明摘要(發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

五、發明說明(|)

本發明是有關於一種晶片表面安置立體化寬電路之結構，且特別是有關於一種晶片表面安置被動元件之結構。

在現今之積體電路晶片之製程中，0.18 微米線寬的半導體元件已進入量產，然而在半導體晶片之外觀逐漸縮小之際，隨之而來的晶片內部所包裹之電子元件、導線，也進一步的細微化，而此對晶片之效能產生負面的衝擊。其中，由於矽會吸收電子元件所產生的磁場，而導致以矽為主要材料的晶片電路無法達到預期的效能，並且過度細微化的導線也會產生雜訊的問題。

請參照第 1 圖，其繪示習知晶片結構示意圖。習知晶片 100 之結構包括一矽基底 102、一晶片線路層 104、一保護層 106，而保護層 106 暴露出多個焊墊 108。其中晶片線路層 104 位於矽基底 102 與保護層 106 之間，而晶片線路層 106 內具有電晶體結構(未繪示)、被動元件結構(未繪示)、導線結構(未繪示)，並且晶片線路層 104 內之導線結構(未繪示)分別與電晶體結構(未繪示)、被動元件結構(未繪示)、焊墊 108 電性連通。

在上述之晶片 100 的結構中，由於被動元件結構位於晶片 100 之晶片線路層 104 之內，而晶片線路層 104 又緊鄰矽基底 102，並且由以矽為主要成分的矽基底 102 會導磁，如此將導致在晶片線路層 104 內之被動元件結構所產生的磁場，部份會被矽基底 102 吸收，而降低晶片 100 之效能。另外，由於導線結構亦位於晶片 100 之晶片線路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

層 104 之內，故導線結構內之導線均非常地細微(小於一微米)，如此一但傳輸大量的電流，將導致雜訊與電阻-電容遲緩的情形發生，並且在晶片 100 內之晶片線路層 104 所用的導線金屬大部分為鋁或者是鋁合金，然而相較於銅，金屬鋁之電阻阻抗較大而不具效率性。

因此本發明的目的之一就是在提供一種晶片表面安置被動元件結構，可以降低矽基底的渦電流效應(eddy current)對被動元件所造成的能量消耗，提高晶片效能。

本發明的目的之二就是在提供一種晶片表面安置被動元件結構，可以安置高磁通量的被動元件或者設計高頻被截之電路設計。

本發明的目的之三就是在提供一種晶片表面安置被動元件結構，可以減少導線之電阻阻抗。

本發明的目的之四就是在提供一種晶片表面安置被動元件結構，可以減少訊號衰減與延遲的發生。

本發明的目的之五就是在提供一種晶片表面安置被動元件結構，可以減少電阻-電容遲緩的情形發生。

本發明的目的之六就是在提供一種晶片表面安置被動元件結構，可以減少製造成本。

為達成本發明之上述和其他目的，提出一種晶片表面安置被動元件結構，包括：一晶片，此晶片包括多個半導體單元。一寬導線結構體，此寬導線結構體包括至少一聚合物介電材質、一立體化寬線路結構，此立體化寬線路結構交錯於聚合物介電材質之內，並且寬導線結構體還包

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 3 ）

括一第一表面以及對應之一第二表面，寬導線結構體之第一表面與寬導線結構體之第二表面分別位於寬導線結構體的相對之兩側，而寬導線結構體之第一表面與晶片接觸，另外半導體單元與立體化寬線路結構電性連通。一被動元件結構體，此被動元件結構體包括至少一被動元件、至少一介電材質，介電材質包覆於被動元件的周圍，而被動元件與立體化寬線路結構電性連通，並且被動元件結構體具有一第一表面以及一對應之第二表面，被動元件結構體之第一表面與被動元件結構體之第二表面分別位於被動元件結構體的相對應之兩側，其中被動元件結構體位於寬導線結構體之第二表面之上，且被動元件結構體之第一表面與寬導線結構體之二表面接觸。一黏著層，此黏著層覆於被動元件結構體之第二表面之上。一支撐結構體，支撐結構體覆於黏著層之上，且黏著層位於被動元件結構體與支撐結構體之間。

依照本發明的一較佳實施例，其中寬導線結構體還包括至少一輸出入焊墊，而此輸出入焊墊亦可以安置於被動元件結構體之內。另外上述之晶片還包括一矽基底，而支撐結構體的材質可以是玻璃，厚度約為 200 微米。此外寬導線結構體內之聚合物介電材質可以是聚亞醯胺或苯基環丁烯。並且立體化寬線路結構的導電材質可包括銅、金、鎳、鋁、鎢。

為達成本發明之上述和其他目的，提出一種晶片表面安置被動元件結構之製程，依序包括：提供一晶片，此

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明（4）

晶片包括複數個半導體單元、一矽基底，矽基底包覆住半導體單元，且半導體單元之一表面暴露出矽基底。進行一寬導線製程，首先在晶片之一表面，鋪上一聚合物介電材質，利用微影、蝕刻的方式定義出多個介層窗，再沈積一導電材質，不斷重複上述之步驟，而形成一寬導線結構體，定義此導電材質的沈積結構為一立體化寬線路結構，而立體化寬線路結構交錯於聚合物介電材質之內，另外立體化寬線路結構與晶片之半導體單元電性連通，此外寬導線結構體還包括一第一表面以及對應之一第二表面，寬導線結構體之第一表面與寬導線結構體之第二表面分別位於該寬導線結構體的相對之兩側，而寬導線結構體之第一表面與晶片接觸。進行一被動元件植入製程，在寬導線結構體之第二表面之上，覆上多個被動元件，再鋪上一介電材質，而形成一被動元件結構體，被動元件結構體包括一第一表面以及對應之一第二表面，而被動元件結構體之第一表面與被動元件結構體之第二表面分別位於被動元件結構體的相對之兩側，且被動元件結構體之第一表面與寬導線結構體之第二表面接觸，另外被動元件與立體化寬線路結構電性連通。進行一黏著製程，在被動元件結構體之第二表面之上，覆上一黏著層，接著在此黏著層之上再覆上一支撐結構體，其中黏著層位於支撐結構體與被動元件結構體之間。以及進行一除去矽基底之製程，將大部分的該晶片之該矽基底除去。

依照本發明的一較佳實施例，其中寬導線結構體還

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(5)

包括至少一輸出入焊墊，而此輸出入焊墊亦可以安置於被動元件結構體之內。另外除去矽基底的方式係先整片研磨，然後再將被動元件底下的矽基底以蝕刻的方式將其去除。而支撐結構體的材質可以是玻璃，厚度約為 200 微米。此外寬導線結構體內之聚合物介電材質可以是聚亞醯胺或苯基環丁烯。並且立體化寬線路結構的導電材質可包括銅、金、鎳、鋁、鎢。

為達成本發明之上述和其他目的，提出一種晶片表面安置被動元件結構，包括：一晶片，此晶片包括多個半導體單元、一矽基底，此矽基底包覆住半導體單元，而半導體單元之一表面暴露出矽基底。一寬導線結構體，此寬導線結構體包括至少一聚合物介電材質、一立體化寬線路結構，此立體化寬線路結構交錯於聚合物介電材質之內，並且寬導線結構體具有一第一表面以及對應之一第二表面，寬導線結構體之第一表面與寬導線結構體之第二表面分別位於寬導線結構體的相對之兩側，而寬導線結構體之第一表面與晶片接觸，另外寬導線結構體之第一表面的邊緣部份暴露於外界。以及至少一被動元件，被動元件安置於寬導線結構體之第二表面之上，並且被動元件與立體化寬線路結構電性連通。

依照本發明的一較佳實施例，其中被動元件位於寬導線結構體之第二表面之上，並且靠近寬導線結構體之第二表面的邊緣。另外被動元件的周圍還包括一介電材質，而形成一被動元件結構體，則在此被動元件結構體內還包

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

括至少一輸出入焊墊，而輸出入焊墊亦可以安置於寬導線結構體之內。此外在被動元件結構體之上還透過一黏著層覆上一支撐結構體，而此支撐結構體的材質包括玻璃。另外寬導線結構體內之聚合物介電材質可以是聚亞醯胺或苯基環丁烯。並且立體化寬線路結構的導電材質可包括銅、金、鎳、鋁、鎢。

為達成本發明之上述和其他目的，提出一種晶片表面安置被動元件結構之製程，依序包括：提供一晶圓，此晶圓包括多個晶片、多個晶圓刻劃區，而晶圓刻劃區位於晶片之周圍，並且此晶片分別包括多個半導體單元、一矽基底，矽基底包覆住半導體單元，且半導體單元之一表面暴露出矽基底。進行一寬導線製程，首先在晶圓之一表面，鋪上一聚合物介電材質，利用微影、蝕刻的方式定義出多個介層窗，再沈積一導電材質，不斷重複上述之步驟，而形成一寬導線結構體，定義此導電材質的沈積結構為一立體化寬線路結構，而立體化寬線路結構交錯於聚合物介電材質之內，另外立體化寬線路結構與晶片之半導體單元電性連通，並且寬導線結構體還包括一第一表面以及對應之一第二表面，寬導線結構體之第一表面與寬導線結構體之第二表面分別位於寬導線結構體的相對之兩側，而寬導線結構體之第一表面與晶片接觸，另外寬導線結構體還包括多個寬導線結構體刻劃區，而寬導線結構體刻劃區分別對應晶圓刻劃區，且位於晶圓刻劃區之上。進行一被動元件植入製程，在寬導線結構體之第二表面上，覆上多個被動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 7 ）

元件，再鋪上一介電材質，而形成一被動元件結構體，此被動元件結構體包括一第一表面以及對應之一第二表面，而被動元件結構體之第一表面與被動元件結構體之第二表面分別位於被動元件結構體的相對之兩側，且被動元件結構體之第一表面與寬導線結構體之第二表面接觸，另外被動元件與立體化寬線路結構電性連通，並且被動元件結構體還包括多個被動元件結構體刻劃區，而被動元件結構體刻劃區分別對應晶圓刻劃區、寬導線結構體刻劃區，而位於該寬導線結構體刻劃區之上。進行一黏著製程，在被動元件結構體之第二表面，覆上一黏著層，接著在此黏著層之上再覆上一支撐結構體，其中黏著層位於支撐結構體與被動元件結構體之間，另外黏著層還包括多個黏著層刻劃區，支撐結構體亦包括多個支撐結構體刻劃區，而黏著層刻劃區與支撐結構體刻劃區均分別對應晶圓刻劃區、寬導線結構體刻劃區。進行一除去矽基底之製程，將靠近晶圓刻劃區的晶片之矽基底除去，亦將晶圓刻劃區除去，使得寬導線結構體之第一表面靠近寬導線結構體刻劃區的區域暴露於外。以及進行一除去刻劃區之製程，將寬導線結構體刻劃區、被動元件結構體刻劃區、黏著層刻劃區、支撐結構體刻劃區去除。

依照本發明的一較佳實施例，其中除去矽基底的方式包括切割、濕蝕刻、乾蝕刻，而將寬導線結構體刻劃區、被動元件結構體刻劃區、黏著層刻劃區、支撐結構體刻劃區去除的方式可包括濕蝕刻、乾蝕刻、切割。另外被動元

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(8)

件位於寬導線結構體之第二表面之上，並且靠近寬導線結構體之第二表面的邊緣，且被動元件的周圍還包括一介電材質，而形成一被動元件結構體，並且在此被動元件結構體內還包括至少一輸出入焊墊，而輸出入焊墊亦可以安置於寬導線結構體之內。此外支撐結構體的材質包括玻璃，而寬導線結構體內之聚合物介電材質可以是聚亞醯胺或苯基環丁烯。並且立體化寬線路結構的導電材質可包括銅、金、鎳、鋁、鎢。另外在除去矽基底製程之後，還可以利用研磨、濕蝕刻或乾蝕刻的方式將支撐結構體與黏著層去除。

為達成本發明之上述和其他目的，提出一種晶片表面安置被動元件結構之製程，依序包括：提供一晶圓，此晶圓包括多個晶片、多個晶圓刻劃區，而晶圓刻劃區位於晶片之周圍，並且晶片分別包括多個半導體單元、一矽基底，此矽基底包覆住半導體單元，且半導體單元之一表面暴露出矽基底。進行一寬導線製程，首先在晶圓之一表面，鋪上一聚合物介電材質，利用微影、蝕刻的方式定義出多個介層窗，再沈積一導電材質，不斷重複上述之步驟，而形成一寬導線結構體，定義此導電材質的沈積結構為一立體化寬線路結構，而此立體化寬線路結構交錯於聚合物介電材質之內，另外立體化寬線路結構與晶片之半導體單元電性連通，並且寬導線結構體還包括一第一表面以及對應之一第二表面，寬導線結構體之第一表面與寬導線結構體之第二表面分別位於寬導線結構體的相對之兩側，而寬導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

線結構體之第一表面與晶片接觸，另外寬導線結構體還包括多個寬導線結構體刻劃區，而寬導線結構體刻劃區分別對應晶圓刻劃區，且位於晶圓刻劃區之上。進行一被動元件植入製程，在寬導線結構體之第二表面上，覆上多個被動元件，而被動元件位於寬導線結構體之第二表面，並且被動元件與立體化寬線路結構電性連通。進行一覆上貼帶之製程，在寬導線結構體之第二表面之上覆上一貼帶。進行一除去矽基底之製程，將靠近晶圓刻劃區的晶片之矽基底除去，亦將晶圓刻劃區除去，使得寬導線結構體之第一表面靠近寬導線結構體刻劃區的區域暴露於外。以及進行一除去貼帶之製程，將貼帶從寬導線結構體之第二表面去除。

依照本發明的一較佳實施例，其中在進行覆上貼帶的製程之前，還包括進行一定義寬導線結構體之製程，使得寬導線結構體刻劃區去除，而除去矽基底的方式包括切割、濕蝕刻、乾蝕刻。另外被動元件位於寬導線結構體之第二表面之上，並且靠近寬導線結構體之第二表面的邊緣，此外寬導線結構體之內還包括多個輸出入焊墊。再者，支撐結構體的材質包括玻璃，而寬導線結構體內之聚合物介電材質可以是聚亞醯胺或苯基環丁烯。並且立體化寬線路結構的導電材質可包括銅、金、鎳、鋁、鎢。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

五、發明說明 (10)

圖式之簡單說明：

第 1 圖繪示習知晶片結構示意圖。

第 2 圖至第 5 圖繪示依照本發明第一較佳實施例的一種晶片表面安置被動元件結構的製程剖面示意圖。

第 6 圖繪示依照本發明之第二較佳實施例的一種晶片表面安置被動元件結構的示意圖。

第 7 圖繪示依照本發明之第三較佳實施例的一種晶片表面安置被動元件結構的示意圖。

第 8 圖至第 11 圖繪示依照本發明之第四較佳實施例的一種晶片表面安置被動元件結構的製程示意圖。

第 12 圖至第 15 圖繪示依照本發明之第五較佳實施例的一種晶片表面安置被動元件結構的製程示意圖。

第 16 圖繪示依照本發明之第六較佳實施例的一種晶片表面安置被動元件結構的示意圖。

第 17 圖繪示依照本發明之第七較佳實施例的一種晶片表面安置被動元件結構的示意圖。

第 18 圖繪示依照本發明之第八較佳實施例的一種晶片表面安置被動元件結構的示意圖。

第 19 圖繪示依照本發明之第九較佳實施例的一種晶片表面安置被動元件結構的示意圖。

第 20 圖繪示依照本發明之第十較佳實施例的一種晶片表面安置被動元件結構的示意圖。

圖式之標示說明：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(II)

- 210、310、410：晶圓
- 212、312、412：晶圓刻劃區
- 100、220、320、420：晶片
- 226、326、426：主動表面
- 222、324、424：半導體單元
- 102、224、322、422：矽基底
- 230、330、430：第一保護層
- 232、332、432：第一焊墊
- 234、254、292、294、316、334、354、392、394、
434、454、492、494：表面
- 104：晶片線路層
- 106：保護層
- 108：焊墊
- 240、340、440：寬導線結構體
- 242、342、442：聚合物介電材質
- 244、344、444：立體化寬線路結構
- 246、266、346、367、446：第一表面
- 248、268、356、368、456：第二表面
- 250、350、450：第二保護層
- 252、352、452：第二焊墊
- 290、390、490：輸出入焊墊
- 256、348、448：寬導線結構體刻劃區
- 260、360：被動元件結構體
- 262、362、462：被動元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

264、364：介電材質

269、366：被動元件結構體刻劃區

270、370：黏著層

272、372：黏著層刻劃區

280、380：支撐結構體

282、382：支撐結構體刻劃區

284、286、384：開口

314、414：凹口

480：貼帶

實施例

請參照第 2 圖至第 5 圖，其繪示依照本發明第一較佳實施例的一種晶片表面安置被動元件結構的製程剖面示意圖。請先參照第 2 圖，首先提供一晶圓 210，晶圓包括多個晶片 220、多個晶圓刻劃區 212(如第 2 圖晶圓內之虛線所包圍區域)，且晶圓刻劃區 212 位於晶片 220 之邊緣。其中晶片 220 包括多個半導體單元 222、一矽基底 224、一第一保護層 230、多個第一焊墊 232，而保護層 230 位於矽基底 224 與半導體單元 222 之上面，另外第一保護層 230 包覆多個第一焊墊 232，而第一焊墊 232 的一表面 234 暴露出第一保護層 230，且第一焊墊 232 分別與半導體單元 222 電性連通。

接下來進行一寬導線製程，首先在晶片 220 之主動表面 226 之上，鋪上一聚合物介電材質 242，利用微影、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

蝕刻的方式定義出多個介層窗(未繪示)，再沈積一導電材質，不斷重複上述之步驟，而形成一寬導線結構體 240，定義此導電材質的沈積結構為一立體化寬線路結構 244，使得立體化寬線路結構 244 交錯於聚合物介電材質 242 之內。而寬導線結構體 240 還包括一第一表面 246 以及一第二表面 248，且寬導線結構體 240 之第一表面 246 與晶片 220 之主動表面 226 接觸。而在寬導線結構體 240 的第二表面 248 的表層具有一第二保護層 250，此第二保護層 250 包括多個第二焊墊 252，而第二保護層 250 包覆住第二焊墊 252，且第二焊墊 252 之一表面 254 暴露出第二保護層 250。另外具有多個輸出入焊墊 290 位於寬導線結構體 240 的第一表面 246 之表層，且輸出入焊墊 290 之一表面 292 暴露出寬導線結構體 240 之第一表面 246。另外立體化寬線路結構 244 分別與第一焊墊 232、第二焊墊 252、輸出入焊墊 290 電性連通。此外寬導線結構體 240 還包括多個寬導線結構體刻劃區 256(如第 2 圖寬導線結構體內之虛線所包圍區域)，而寬導線結構體刻劃區 256 分別對應晶圓刻劃區 212，並且寬導線結構體刻劃區 256 位於晶圓刻劃區 212 之上。其中聚合物介電材質 242 可使用日立-杜邦公司 (Hitachi-Dupont) 所生產之聚亞醯胺 (Polyimide) HD2732 或 HD2734，亦可使用苯基環丁烯 (Benzocyclobutene, BCB)。聚亞醯胺的形成方式可以用旋塗固化的方式形成，旋塗後之聚亞醯胺需在一真空環境中進行固化或在一氮氣環境下進行固化，溫度保持在 250

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

度至 400 度之間，所需時間約 0.5 至 1.5 個小時。其中，對於厚度較厚之聚亞醯胺結構，可採用多層旋塗固化、熱壓合或網板印刷等方式形成。而立體化寬線路結構 244 的導電材質可包括銅、金、鋁、鎳、鎢等，由於此製作寬導線結構體的導線線寬(約數十微米)並不如半導體前段製程(小於一微米)之精密，因此可使用低成本之製程，如電鍍、無電電鍍之方式形成，亦可使用濺鍍(sputtering)的方式。

接下來進行一被動元件植入製程，首先在寬導線結構體 240 之第二表面 248 之上，覆上多個被動元件 262，再鋪上一介電材質 264，而形成一被動元件結構體 260，此被動元件結構體 260 具有一第一表面 266 以及一第二表面 268，其中被動元件結構體 260 之第一表面 266 與寬導線結構體 240 的第二表面 248 接觸，另外被動元件 262 與第二保護層 250 之第二焊墊 252 電性連通，且介電材質 264 包覆於各個被動元件 262 之周圍。此外被動元件結構體 260 還包括多個被動元件結構體刻劃區 269(如第 2 圖被動元件結構體內之虛線所包圍區域)，被動元件結構體刻劃區 269 分別對應寬導線結構體刻劃區 256 與晶圓刻劃區 212，而被動元件結構體刻劃區 269 位於寬導線結構體刻劃區 256 之上。其中被動元件 262 若是為電感元件，在其所對應之垂直而下的區域，最好不要有半導體單元 222，否則被動元件 262 易對半導體單元 222 造成干擾，導致能量損耗。

接下來進行一黏著製程，在被動元件結構體 260 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

第二表面 268 覆上一黏著層 270，使得透過黏著層 270，一支撐結構體 280 能與被動元件結構體 260 黏合，其中支撐結構體 280 可以是玻璃，而此玻璃的厚度大約為 200 微米。而黏著層 270 還包括多個黏著層刻劃區 272(如第 2 圖黏著層內之虛線所包圍區域)，且支撐結構體 280 還包括多個支撐結構體刻劃區 282(如第 2 圖支撐結構體內之虛線所包圍區域)，黏著層刻劃區 272 與支撐結構體刻劃區 282 對應被動元件結構體刻劃區 269、寬導線結構體刻劃區 256、晶圓刻劃區 212。

請參照第 3 圖，接下來進行一去除矽基底之製程，首先透過研磨的方式，將矽基底 224 磨得極薄。由於在之前的製程中，已經覆上支撐結構體 280，使得當晶片 220 在磨得極薄的時候，仍易於研磨且不致於斷裂。

請參照第 3 圖、第 4 圖，然後再利用微影、蝕刻的方式，使晶片 220 之大部分的矽基底 224 去除，尤其是被動元件 262 底下的矽基底，並且輸出入焊墊 290 之一表面 292 暴露於外，可以與外界電路(未繪示)電性連通。

請參照第 4 圖、第 5 圖，接下來進行一除去刻劃區之製程，利用切割或蝕刻的方式，將晶圓刻劃區 212、寬導線結構體刻劃區 256、被動元件結構體刻劃區 269、黏著層刻劃區 272、支撐結構體刻劃區 282 去除，而形成如第 5 圖所示。

上述實施例中的晶片表面安置被動元件結構，乃是將被動元件 262 置於晶片 220 的外部，並且透過寬導線結

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

構體 240 之立體化寬線路結構 244，使得半導體單元 222 與被動元件 262 電路連通。如此將被動元件 262 安置在遠離晶片 220 的位置，又將多餘之矽基底去除，可以降低被動元件 262 因矽基底的渦電流效應所造成之能量消耗，故可以設計成高磁通量之被動元件或者是截去高頻之電路設計(high cut-off frequency)。另外寬導線製程所要求的導線線寬(約數十微米)比晶片內所要求的導線線寬(小於一微米)來得低，故可使用較低價格之製程設備的運用，在較低等級之無塵室即可完成此寬導線之製程，而降低生產成本。另外本發明乃將電阻安置在晶片外部，相較於晶片內之被動元件製造，可以減少被動元件之製造成本。且寬導線結構體 240 之立體化寬線路結構 244 可以利用電鍍、無電電鍍、濺鍍等方式，覆蓋上銅導線，如此相較於鋁，導電性增加許多。再者，相較於晶片內之導線寬度(小於一微米)，此寬導線結構體 240 之立體化寬線路結構 244 的導線寬度(約數十微米)增加許多，如此可以降低導線電阻之阻抗、以及減少電阻-電容遲緩的發生。

請參照第 6 圖，其繪示依照本發明之第二較佳實施例的一種晶片表面安置被動元件結構的示意圖。前述實施例中之輸出入焊墊位於寬導線結構體的第一表面之表層，然而輸出入焊墊的配置方式並不侷限於上述的方式，亦可以將輸出入焊墊 290 安置於被動元件結構體 260 之內，此輸出入焊墊 290 可以透過第二焊墊 252 與立體化寬線路結構 244 電性連通，此時必須透過蝕刻、鑽盲孔或雷射的製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

程，而形成一開口 284，此開口 284 穿透支撐結構體 280 以及黏著層 270，將輸出入焊墊 290 之一表面 294 暴露於外，可以與外界電路(未繪示)電性連通。

請參照第 7 圖，其繪示依照本發明之第三較佳實施例的一種晶片表面安置被動元件結構的示意圖。前述之第二較佳實施例中之輸出入焊墊位於被動元件結構體之內，然而輸出入焊墊的配置方式並不侷限於上述的方式，亦可以將輸出入焊墊 290 安置於第二保護層 250 之內，且輸出入焊墊 290 與立體化寬線路結構 244 電性連通，此時必須透過蝕刻、鑽盲孔或雷射的製程，使得形成一開口 286，此開口 286 穿透支撐結構體 280、黏著層 270、被動元件結構體 260，將輸出入焊墊 290 之一表面 294 暴露於外，可以與外界電路(未繪示)電性連通。

前述實施例中之矽基底乃是透過研磨、蝕刻的方式將其大部分除去，留下半導體單元，然而並非侷限於上述之方式，亦可以將矽基底留下，此具有矽基底之晶片表面安置被動元件結構，可以採用兩種製程來製作，分別敘述於第四較佳實施例與第五較佳實施例中。

請參照第 8 圖至第 11 圖，其繪示依照本發明之第四較佳實施例的一種晶片表面安置被動元件結構的製程示意圖。請先參照第 8 圖，首先提供一晶圓 310，晶圓 310 具有多個晶片 320、多個晶圓刻劃區 312(如第 8 圖晶圓內之虛線所包圍區域)，晶圓刻劃區 312 包覆在晶片 320 的周圍，並且各個晶片 320 具有一矽基底 322、多個半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(18)

單元 324、一第一保護層 330、多個第一焊墊 332，而半導體單元 324 位於矽基底 322 與第一保護層 330 之間，另外第一保護層 330 包覆住多個第一焊墊 332，且多個第一焊墊 332 之一表面 334 暴露出第一保護層 330，而第一焊墊 332 分別與半導體單元 324 電性連通。另外晶片 320 還具有一主動表面 326，而第一保護層 330 位於晶片 320 之主動表面 326 的表層。

接下來進行一寬導線製程，其製作程序與前述實施例相同，在此不再贅述，此寬導線製程完成後，在晶片 320 之主動表面 326 之上形成一寬導線結構體 340，此寬導線結構體 340 包括一聚合物介電材質 342、一立體化寬線路結構 344、一第二保護層 350、多個第二焊墊 352、多個輸出入焊墊 390、多個寬導線結構體刻劃區 348(如第 8 圖寬導線結構體內之虛線所包圍區域)，而寬導線結構體刻劃區 348 分別對應晶圓刻劃區 312，並且寬導線結構體刻劃區 348 位於晶圓刻劃區 312 之上。另外寬導線結構體還具有一第一表面 346 以及一第二表面 356，且寬導線結構體 340 之第一表面 346 與晶片 320 之主動表面 326 接觸。此外第二保護層 350 位於寬導線結構體 340 之第二表面 256 之表層，而第二保護層 350 包覆第二焊墊 352，且第二焊墊 352 之一表面 354 暴露出第二保護層 350。再者，輸出入焊墊 390 位於靠近寬導線結構體刻劃區 348 之區域，並且輸出入焊墊 390 之一表面 392 暴露出寬導線結構體 340 之第一表面 346。另外立體化寬線路結構 344 交錯於聚合

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

物介電材質 342 之內，並且立體化寬線路結構 344 分別與第一焊墊 332、第二焊墊 352、輸出入焊墊 390 電性連通。

接下來進行一被動元件植入製程，其製作程序與前述實施例相同，在此不再贅述，此被動元件植入製程完成後，在寬導線結構體 340 之第二表面 356 之上，形成一被動元件結構體 360，而被動元件結構體包括多個被動元件 362、至少一介電材質 364、多個被動元件結構體刻劃區 366(如第 8 圖被動元件結構體內之虛線所包圍區域)，其中被動元件 362 與第二保護層 350 之第二焊墊 352 電性連通，而介電材質 364 包覆於各個被動元件 362 之周圍。另外被動元件結構體 360 具有一第一表面 367 以及一第二表面 368，而被動元件結構體 360 之第一表面 367 與寬導線結構體 340 之第二表面 356 接觸。此外被動元件結構體刻劃區 366 分別對應寬導線結構體刻劃區 348、晶圓刻劃區 312，而被動元件結構體刻劃區 366 位於寬導線結構體刻劃區 348 之上。另外具高磁場效應的被動元件可置於被動元件結構體刻劃區 366 的附近，此被動元件比如是電感。

接下來進行一黏著製程，在被動元件結構體 360 之第二表面 368 之上，覆上一黏著層 370，使得透過黏著層 370，一支撐結構體 380 能與被動元件結構體 360 黏合，而黏著層 370 還包括多個黏著層刻劃區 372(如第 8 圖黏著層內之虛線所包圍區域)，且支撐結構體 380 還包括多個支撐結構體刻劃區 382(如第 8 圖支撐結構體內之虛線所包圍區域)，而黏著層刻劃區 372 與支撐結構體刻劃區 382

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(20)

對應晶圓刻劃區 312、寬導線結構體刻劃區 348、被動元件結構體刻劃區 366。其中支撐結構體 380 的材質可以是玻璃。

請參照第 8 圖、第 9 圖，接下來進行一切割晶圓的製程，將晶圓 310 靠近晶圓刻劃區 312 之部份的矽基底 322，透過切割的方式將其切除，而形成類似一方形通道的凹口 314，此凹口 314 之寬度比晶圓刻劃區 312 的寬度寬，並且凹口 314 的一表面 316 與寬導線結構體 340 的第一表面 346 之距離大約為 10 微米。

請參照第 8 圖、第 9 圖，接下來進行一蝕刻的製程，此蝕刻的方式可包括乾蝕刻或濕蝕刻。透過此蝕刻的製程，將靠近晶圓刻劃區 312 之矽基底 322 除去，亦將晶圓刻劃區 312 除去，使得各個晶片 320 相互間分離，並且寬導線結構體 340 之第一表面 346 靠近寬導線結構體刻劃區 348 的區域暴露於外，而輸出入焊墊 390 之一表面 392 亦暴露於外界，可以與外界電路(未繪示)電性連通。接下來亦透過此蝕刻的方法，將寬導線結構體刻劃區 348、被動元件結構體刻劃區 366 除去，使得寬導線結構體 340 相互間分離，亦使得被動元件結構體 360 相互間分離。

請參照第 10 圖、第 11 圖，接下來進行一分割支撐結構體的製程，可利用切割或是蝕刻的方式，透過此製程將黏著層刻劃區 372、支撐結構體刻劃區 382 除去，使得支撐結構體 380 相互間分離，亦使得黏著層 370 相互間分離。

五、發明說明(2)

請參照第 12 圖至第 15 圖，其繪示依照本發明之第五較佳實施例的一種晶片表面安置被動元件結構的製程示意圖。請先參照第 11 圖，首先提供一晶圓 410，晶圓 410 包括多個晶片 420、多個晶圓刻劃區 412(如第 12 圖晶圓內虛線包圍區域所示)，而晶圓刻劃區 412 分別位於晶片 420 的周圍，另外各個晶片 420 具有一矽基底 422、多個半導體單元 424、一第一保護層 430、多個第一焊墊 432，而半導體單元 424 位於矽基底 422 與第一保護層 430 之間，另外第一保護層 430 包覆多個第一焊墊 432，且多個第一焊墊 432 之一表面 434 暴露出第一保護層 430，而第一焊墊 432 分別與半導體單元 424 電性連通。另外晶片 420 還具有一主動表面，而第一保護層 430 位於晶片 420 之主動表面 426 之表層。

接下來進行一寬導線製程，其製作程序與前述實施例相同，在此不再贅述，此寬導線製程完成後，在晶片 420 之主動表面 426 之上形成一寬導線結構體 440，此寬導線結構體 440 包括一聚合物介電材質 442、一立體化寬線路結構 444、一第二保護層 450、多個第二焊墊 452、多個輸出入焊墊 490。另外寬導線結構體 440 還包括一第一表面 446 以及一第二表面 456，而寬導線結構體 440 之第一表面 446 與晶片 420 之主動表面 426 接觸。另外第二保護層 450 位於寬導線結構體 440 的第二表面 456 之表層，而第二保護層 450 包覆第二焊墊 452，且第二焊墊 452 之一表面 454 暴露出第二保護層 450。此外立體化寬線路結構 444

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(22)

交錯於聚合物介電材質 442 之內，而立體化寬線路結構 444 分別與第一焊墊 432、第二焊墊 452、輸出入焊墊 490 電性連通。並且此外寬導線結構體 440 還包括多個寬導線結構體刻劃區 448(如第 12 圖寬導線結構體內之虛線所包圍的區域)，而寬導線結構體刻劃區 448 對應於晶圓刻劃區 412，並且寬導線結構體刻劃區位於晶圓刻劃區 412 之上。再者，輸出入焊墊 490 位於靠近寬導線結構體刻劃區 448 的區域，並且輸出入焊墊 490 之一表面 492 暴露出寬導線結構體 440 之第一表面 446。

請參照第 12 圖、第 13 圖，接下來透過蝕刻的方式，將寬導線結構體刻劃區 448 去除，因而定義出各個晶片 420 之各個寬導線結構體 440。再來在寬導線結構體 440 之第二表面 456 之上，覆上多個被動元件 462，而被動元件 462 與第二保護層 450 之第二焊墊 452 電性連通，此外具有高磁場效應的被動元件可置於靠近各個寬導線結構體 440 的邊緣區域，此被動元件比如是電感。然後在寬導線結構體 440 之第二表面 456 之上以及被動元件 462 之上覆上一貼帶 480。

請參照第 13 圖、第 14 圖，接下來進行一分割晶圓之製程，透過切割或是蝕刻的方式，形成類似一方形通道的凹口 414，此凹口 414 之寬度比晶圓刻劃區 412 的寬度寬，而將寬導線結構體 440 之第一表面 446 暴露於外，且輸出入焊墊 490 之一表面 492 暴露於外，可與外界電路(未繪示)電性連通。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23)

請參照第 14 圖、第 15 圖，接下來進行一剝離貼帶之步驟，將貼帶 480 從寬導線結構體 440 之第二表面 456 剝離，使得各個晶片 420 相互分開，其結構如第 15 圖所示。

上述之本發明的第四較佳實施例與第五較佳實施例均是在晶片的下層留有矽基底，而將具有高磁場效應的被動元件可置於寬導線結構體之第二表面之上的邊緣區域，並且特別將具有高磁場效應的被動元件下面之晶片的矽基底移除，如此可以減少因矽基底產生的渦電流效應所造成的能量消耗。

請參照第 16 圖，其繪示依照本發明之第六較佳實施例的一種晶片表面安置被動元件結構的示意圖。前述之第四較佳實施例中之輸出入焊墊位於寬導線結構體之第一表面之表層，然而輸出入焊墊的配置方式並不侷限於上述的方式，亦可以將輸出入焊墊 390 安置於被動元件結構體 360 之內，此輸出入焊墊 390 可以與第二焊墊 352 電性連通，此時必須透過蝕刻、鑽盲孔或雷射的製程，而形成一開口 384，此開口 384 穿透支撐結構體 380 以及黏著層 370，將輸出入焊墊 390 之一表面 394 暴露於外，可以與外界電路(未繪示)電性連通。

請參照第 17 圖，其繪示依照本發明之第七較佳實施例的一種晶片表面安置被動元件結構的示意圖。前述之第六較佳實施例中之輸出入焊墊位於被動元件結構體之內，然而輸出入焊墊的配置方式並不侷限於上述的方式，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(24)

亦可以將輸出入焊墊 390 安置於第二保護層 350 之內，且輸出入焊墊 390 與立體化寬線路結構 344 電性連通，此時必須透過蝕刻、鑽盲孔或雷射的製程，而形成一開口 384，此開口 384 穿透支撐結構體 380、黏著層 370、被動元件結構體 360，將輸出入焊墊 390 之一表面 394 暴露於外，使得輸出入焊墊 390 可以外界電路(未繪示)電性連通。

請參照第 18 圖，其繪示依照本發明之第八較佳實施例的一種晶片表面安置被動元件結構的示意圖。前述之第六較佳實施例中之被動元件結構體的上方包括支撐結構體以及黏著層，然而並不侷限於上述的方式，亦可以透過研磨、蝕刻的方式，將支撐結構體與黏著層去除，使得輸出入焊墊 390 之一表面 394 暴露於外，並且輸出入焊墊 390 可以與外界電路(未繪示)電性連通。

請參照第 19 圖，其繪示依照本發明之第九較佳實施例的一種晶片表面安置被動元件結構的示意圖。前述之第七較佳實施例中之被動元件結構體的上方包括支撐結構體以及黏著層，然而並不侷限於上述的方式，亦可以透過研磨、蝕刻的方式，將支撐結構體與黏著層去除，再透過微影、蝕刻的方式，穿透被動元件結構體 360，而定義出輸出入焊墊 390 的位置，使得輸出入焊墊 390 之一表面 394 暴露於外，並且輸出入焊墊 390 可以與外界電路(未繪示)電性連通。

請參照第 20 圖，其繪示依照本發明之第十較佳實施例的一種晶片表面安置被動元件結構的示意圖。前述之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(25)

第五較佳實施例中之輸出入焊墊位於寬導線結構體之第一表面之表層，然而輸出入焊墊的配置方式並不侷限於上述的方式，亦可以將輸出入焊墊 490 安置於第二保護層 450 內，此輸出入焊墊 490 與立體化寬線路結構 444 電性連通，並且輸出入焊墊 490 之一表面 494 暴露於外，可以與外界電路(未繪示)電性連通。

綜上所述，本發明至少具有下列優點：

1. 本發明之晶片表面安置被動元件結構，可以降低因矽基底產生的渦電流效應對被動元件所造成的能量消耗，以提高晶片效能，此結構尤其針對高磁通量的被動元件或者設計高頻被截之電路設計特別具有效率性。

2. 本發明之晶片表面安置被動元件結構，具有一寬導線結構體，可以將晶片內極細微的導線移至到此寬導線結構體，而減少導線之電阻阻抗，亦可以降低電阻-電容遲緩的情形發生。

3. 本發明之晶片表面安置被動元件結構，由於寬導線結構體內之導線的線寬可到達數十微米，因此可以使用等級較低的無塵室，而減少製造成本。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種晶片表面安置被動元件結構，包括：

一晶片，該晶片包括複數個半導體單元，並且該晶片還具有一主動表面；

一寬導線結構體，該寬導線結構體包括至少一聚合物介電材質、一立體化寬線路結構，該立體化寬線路結構交錯於該聚合物介電材質之內，並且該寬導線結構體還包括一第一表面以及對應之一第二表面，該寬導線結構體之該第一表面與該寬導線結構體之該第二表面分別位於該寬導線結構體的相對之兩側，而該寬導線結構體之該第一表面與該晶片之該主動表面接觸，另外該些半導體單元與該立體化寬線路結構電性連通；

一被動元件結構體，該被動元件結構體包括至少一被動元件、至少一介電材質，該介電材質包覆於該被動元件的周圍，而該被動元件與該立體化寬線路結構電性連通，並且該被動元件結構體具有一第一表面以及對應之一第二表面，該被動元件結構體之該第一表面與該被動元件結構體之該第二表面分別位於該被動元件結構體的相對應之兩側，其中該被動元件結構體位於該寬導線結構體之該第二表面之上，且該被動元件結構體之該第一表面與該寬導線結構體之該二表面接觸；

一黏著層，該黏著層覆於該被動元件結構體之該第二表面之上；以及

一支撐結構體，該支撐結構體覆於該黏著層之上，且該黏著層位於該被動元件結構體與該支撐結構體之間。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

2.如申請專利範圍第 1 項所述之晶片表面安置被動元件結構，其中該寬導線結構體還包括至少一輸出入焊墊，且該輸出入焊墊與該立體化寬線路結構電性連通。

3.如申請專利範圍第 2 項所述之晶片表面安置被動元件結構，其中該輸出入焊墊之一表面暴露出該寬導線結構體之該第一表面，且該輸出入焊墊之該表面暴露於外界，可以與外界電路電性連通。

4.如申請專利範圍第 2 項所述之晶片表面安置被動元件結構，其中該輸出入焊墊之一表面暴露出該寬導線結構體之該第二表面，而該輸出入焊墊之該表面之上具有一開口，使得該輸出入焊墊之該表面暴露於外界，而可與外界電路電性連通，並且該開口貫穿該被動元件結構體、該黏著層、該支撐結構體。

5.如申請專利範圍第 1 項所述之晶片表面安置被動元件結構，其中該被動元件結構體還包括至少一輸出入焊墊，該輸出入焊墊與該立體化寬線路結構電性連通，且該輸出入焊墊之一表面暴露出該被動元件結構體之該第二表面，而該輸出入焊墊之該表面之上具有一開口，使得該輸出入焊墊暴露於外界，可以與外界電路電性連通，並且該開口貫穿該黏著層、該支撐結構體。

6.如申請專利範圍第 1 項所述之晶片表面安置被動元件結構，其中該晶片還包括一矽基底。

7.如申請專利範圍第 1 項所述之晶片表面安置被動元件結構，其中該支撐結構體的材質包括玻璃。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

8.如申請專利範圍第 7 項所述之晶片表面安置被動元件結構，其中該支撐結構體玻璃的厚度約為 200 微米。

9.一種晶片表面安置被動元件結構之製程，包括：

提供至少一晶片，該晶片包括複數個半導體單元、一矽基底，而該矽基底位於該些半導體單元之周圍，並且該晶片還具有一主動表面；

進行一寬導線製程，形成一寬導線結構體包括至少一介電材質、一立體化寬線路結構，而該立體化寬線路結構交錯於該聚合物介電材質之內，另外該立體化寬線路結構與該晶片之該些半導體單元電性連通，此外該寬導線結構體還包括一第一表面以及對應之一第二表面，該寬導線結構體之該第一表面與該寬導線結構體之該第二表面分別位於該寬導線結構體的相對之兩側，而該寬導線結構體之該第一表面與該晶片之該主動表面接觸；

進行一被動元件植入製程，在該寬導線結構體之該第二表面之上，形成一被動元件結構體包括至少一被動元件、至少一介電材質，而該被動元件結構體包括一第一表面以及對應之一第二表面，而該被動元件結構體之該第一表面與該被動元件結構體之該第二表面分別位於該被動元件結構體的相對之兩側，且被動元件結構體之該第一表面與該寬導線結構體之該第二表面接觸，另外該被動元件與該立體化寬線路結構電性連通；

進行一黏著製程，在該被動元件結構體之該第二表面之上，覆上一黏著層，在該黏著層之上覆上一支撐結構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

體；以及

進行一除去矽基底之製程，將大部分的該晶片之該矽基底除去。

10.如申請專利範圍第 9 項所述之晶片表面安置被動元件結構之製程，其中該寬導線結構體還包括至少一輸出入焊墊，且該輸出入焊墊與該立體化寬線路結構電性連通。

11.如申請專利範圍第 10 項所述之晶片表面安置被動元件結構之製程，其中該輸出入焊墊之一表面暴露出該寬導線結構體之該第一表面，且該輸出入焊墊之該表面暴露於外界，可以與外界電路電性連通。

12.如申請專利範圍第 10 項所述之晶片表面安置被動元件結構之製程，其中該輸出入焊墊之一表面暴露出該寬導線結構體之該第二表面，而該輸出入焊墊之該表面之上具有一開口，使得該輸出入焊墊之該表面暴露於外界，可與外界電路電性連通，而該開口貫穿該被動元件結構體、該黏著層、該支撐結構體。

13.如申請專利範圍第 9 項所述之晶片表面安置被動元件結構之製程，其中該被動元件結構體還包括至少一輸出入焊墊，該輸出入焊墊與該立體化寬線路結構電性連通，且該輸出入焊墊之一表面暴露出該被動元件結構體之該第二表面，而該輸出入焊墊之該表面之上具有一開口，使得該輸出入焊墊之該表面暴露於外界，可與外界電路電性連通，而該開口貫穿該黏著層、該支撐結構體。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

14.如申請專利範圍第 12 項或—第 13 項所述之晶片表面安置被動元件結構之製程，其中該開口的製作方式係選自於由蝕刻、雷射、鑽盲孔及該等之組合所組成的族群中的一種方式。

15.如申請專利範圍第 9 項所述之晶片表面安置被動元件結構之製程，其中除去該矽基底之方式係先研磨矽基底，然後再將被動元件底下的矽基底以微影蝕刻的方式將其去除。

16.如申請專利範圍第 9 項所述之晶片表面安置被動元件結構之製程，其中該支撐結構體的材質包括玻璃。

17.如申請專利範圍第 16 項所述之晶片表面安置被動元件結構之製程，其中該支撐結構體玻璃的厚度約為 200 微米。

18.一種晶片表面安置被動元件結構，包括：

一晶片，該晶片包括複數個半導體單元、一矽基底，而該矽基底位於該些半導體單元之周圍，並且該晶片還具有一主動表面；

一寬導線結構體，該寬導線結構體包括至少一聚合物介電材質、一立體化寬線路結構，該立體化寬線路結構交錯於該聚合物介電材質之內，並且該寬導線結構體具有一第一表面以及對應之一第二表面，該寬導線結構體之該第一表面與該寬導線結構體之該第二表面分別位於該寬導線結構體的相對之兩側，而該寬導線結構體之該第一表面與該晶片之該主動表面接觸，另外該寬導線結構體之該第

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

一表面的邊緣部份暴露於外界；以及

至少一被動元件，該被動元件安置於該寬導線結構體之該第二表面之上，並且該被動元件與該立體化寬線路結構電性連通。

19.如申請專利範圍第 18 項所述之晶片表面安置被動元件結構，其中該被動元件位於該寬導線結構體之該第二表面之上，並且靠近該寬導線結構體之該第二表面的邊緣區域。

20.如申請專利範圍第 18 項所述之晶片表面安置被動元件結構，其中該被動元件的周圍還包括至少一介電材質，而形成一被動元件結構體，該被動元件結構體還包括一第一表面以及對應之一第二表面，該被動元件結構體之該第一表面與該被動元件結構體之該第二表面分別位於該被動元件結構體的相對之兩側，而該被動元件結構體位於該寬導線結構體之該第二表面之上，且該被動元件結構體之該第一表面與該寬導線結構體之該二表面接觸。

21.如申請專利範圍第 20 項所述之晶片表面安置被動元件結構，其中該被動元件結構體還包括至少一輸出入焊墊，該輸出入焊墊與該立體化寬線路結構電性連通，且該輸出入焊墊之一表面暴露出該被動元件結構體之該第二表面，使得該輸出入焊墊之該表面暴露於外界，而可與外界電路電性連通。

22.如申請專利範圍第 20 項所述之晶片表面安置被動元件結構，其中在該被動元件結構體之該第二表面之上

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

還覆上一黏著層，而在該黏著層之上還覆上一支撐結構體。

23.如申請專利範圍第 22 項所述之晶片表面安置被動元件結構，其中該被動元件結構體還包括至少一輸出入焊墊，該輸出入焊墊與該立體化寬線路層電性連通，且該輸出入焊墊之一表面暴露出該被動元件結構體之該第二表面，而該輸出入焊墊之該表面之上具有一開口，使得該輸出入焊墊之該表面暴露於外界，而可與外界電路電性連通，並且該開口貫穿該黏著層、該支撐結構體。

24.如申請專利範圍第 22 項所述之晶片表面安置被動元件結構，其中該支撐結構體的材質包括玻璃。

25.如申請專利範圍第 18 項所述之晶片表面安置被動元件結構，其中該寬導線結構體還包括至少一輸出入焊墊，且該輸出入焊墊與該立體化寬線路結構電性連通。

26.如申請專利範圍第 25 項所述之晶片表面安置被動元件結構，其中該輸出入焊墊之一表面暴露出該寬導線結構體之該第一表面，並且靠近該寬導線結構體之該第一表面的邊緣區域，使得該輸出入焊墊之該表面暴露於外界，而可與外界電路電性連通。

27.如申請專利範圍第 25 項所述之晶片表面安置被動元件結構，其中該輸出入焊墊之一表面暴露出該寬導線結構體之該第二表面，使得該輸出入焊墊暴露於外界，而可與外界電路電性連通。

28.如申請專利範圍第 20 項所述之晶片表面安置被

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

動元件結構，其中該寬導線結構體還包括至少一輸出入焊墊，且該輸出入焊墊與該立體化寬線路結構電性連通。

29.如申請專利範圍第 28 項所述之晶片表面安置被動元件結構，其中該輸出入焊墊之一表面暴露出該寬導線結構體之該第二表面，而該輸出入焊墊之該表面之上具有一開口，使得該輸出入焊墊之該表面暴露於外界，而可與外界電路電性連通，並且該開口貫穿該被動元件結構體。

30.如申請專利範圍第 28 項所述之晶片表面安置被動元件結構，其中該輸出入焊墊之一表面暴露出該寬導線結構體之該第一表面，並且靠近該寬導線結構體之該第一表面的邊緣區域，使得該輸出入焊墊之該表面暴露於外界，而可與外界電路電性連通。

31.如申請專利範圍第 22 項所述之晶片表面安置被動元件結構，其中該寬導線結構體還包括至少一輸出入焊墊，且該輸出入焊墊與該立體化寬線路結構電性連通。

32.如申請專利範圍第 31 項所述之晶片表面安置被動元件結構，其中該輸出入焊墊之一表面暴露出該寬導線結構體之該第二表面，而該輸出入焊墊之該表面之上具有一開口，使得該輸出入焊墊之該表面暴露於外界，而可與外界電路電性連通，並且該開口貫穿該被動元件結構體、該黏著層、該支撐結構體。

33.如申請專利範圍第 31 項所述之晶片表面安置被動元件結構，其中該輸出入焊墊之一表面暴露出該寬導線結構體之該第一表面，並且靠近該寬導線結構體之該第一

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

表面的邊緣區域，使得該輸出入焊墊之該表面暴露於外界，而可與外界電路電性連通。

34.一種晶片表面安置被動元件結構之製程，包括：

提供一晶圓，該晶圓包括複數個晶片、複數個晶圓刻劃區，而該些晶圓刻劃區位於該些晶片之周圍，並且該些晶片分別包括複數個半導體單元、一矽基底，該矽基底位於該些半導體單元之周圍，並且每一個該晶片還包括一主動表面；

進行一寬導線製程，形成一寬導線結構體包括至少一介電材質、一立體化寬線路結構，而該立體化寬線路結構交錯於該聚合物介電材質之內，另外該立體化寬線路結構與該些晶片之該些半導體單元電性連通，並且該寬導線結構體還包括一第一表面以及對應之一第二表面，該寬導線結構體之該第一表面與該寬導線結構體之該第二表面分別位於該寬導線結構體的相對之兩側，而該寬導線結構體之該第一表面與該些晶片之該些主動表面接觸，另外該寬導線結構體還包括複數個寬導線結構體刻劃區，而該些寬導線結構體刻劃區分別對應該些晶圓刻劃區，且位於該些晶圓刻劃區之上；

進行一被動元件植入製程，在該寬導線結構體之該第二表面上，形成一被動元件結構體包括複數個被動元件、至少一介電材質，而該被動元件結構體包括一第一表面以及對應之一第二表面，而該被動元件結構體之該第一表面與該被動元件結構體之該第二表面分別位於該被動元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

件結構體的相對之兩側，且被動元件結構體之該第一表面與該寬導線結構體之該第二表面接觸，另外該些被動元件與該立體化寬線路結構電性連通，並且該被動元件結構體還包括複數個被動元件結構體刻劃區，而該些被動元件結構體刻劃區分別對應該些晶圓刻劃區、該些寬導線結構體刻劃區，而位於該寬導線結構體刻劃區之上；

進行一黏著製程，在該被動元件結構體之該第二表面之上，覆上一黏著層，在該黏著層之上覆上一支撐結構體，另外該黏著層還包括複數個黏著層刻劃區，該支撐結構體亦包括複數個支撐結構體刻劃區，而該些黏著層刻劃區與該些支撐結構體刻劃區均分別對應該些晶圓刻劃區、該些寬導線結構體刻劃區、該些被動元件結構體刻劃區；

進行一除去矽基底之製程，將靠近該些晶圓刻劃區的該些晶片之該些矽基底除去，亦將該些晶圓刻劃區除去，使得該寬導線結構體之該第一表面靠近該些寬導線結構體刻劃區的區域暴露於外；以及

進行一除去刻劃區之製程，將該些寬導線結構體刻劃區、該些被動元件結構體刻劃區、該些黏著層刻劃區、該些支撐結構體刻劃區去除。

35.如申請專利範圍第 34 項所述之晶片表面安置被動元件結構之製程，其中在進行該被動元件植入製程時，將該些被動元件置於靠近該些被動元件結構體刻劃區的區域。

36.如申請專利範圍第 34 項所述之晶片表面安置被

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

動元件結構之製程，其中該寬導線結構體還包括複數個輸出入焊墊，且該些輸出入焊墊與該立體化寬線路結構電性連通。

37.如申請專利範圍第 36 項所述之晶片表面安置被動元件結構之製程，其中該輸出入焊墊之一表面暴露出該寬導線結構體之該第一表面，並且靠近該寬導線結構體之該些寬導線結構體刻劃區，使得該輸出入焊墊之該表面暴露於外界，可以與外界電路電性連通。

38.如申請專利範圍第 36 項所述之晶片表面安置被動元件結構之製程，其中該輸出入焊墊之一表面暴露出該寬導線結構體之該第二表面，而該輸出入焊墊之該表面之上具有一開口，使得該輸出入焊墊之該表面暴露於外界，而可與外界電路電性連通，並且該開口貫穿該被動元件結構體、該黏著層、該支撐結構體。

39.如申請專利範圍第 34 項所述之晶片表面安置被動元件結構之製程，其中該被動元件結構體還包括至少一輸出入焊墊，該輸出入焊墊與該立體化寬線路層電性連通，且該輸出入焊墊之一表面暴露出該被動元件結構體，而該輸出入焊墊之該表面之上具有一開口，使得該輸出入焊墊之該表面暴露於外界，而可與外界電路電性連通，並且該開口貫穿該黏著層、該支撐結構體。

40.如申請專利範圍第 34 項所述之晶片表面安置被動元件結構之製程，其中在進行該除去矽基底製程之後，還包括進行一除去該支撐結構體與該黏著層之步驟。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

41.如申請專利範圍第 40 項所述之晶片表面安置被動元件結構之製程，其中該被動元件結構體還包括至少一輸出入焊墊，該輸出入焊墊與該立體化寬線路結構電性連通，且該輸出入焊墊之一表面暴露出該被動元件結構體之該第二表面，使得該輸出入焊墊之該表面暴露於外界，而可與外界電路電性連通。

42.如申請專利範圍第 40 項所述之晶片表面安置被動元件結構之製程，其中該寬導線結構體還包括複數個輸出入焊墊，且該些輸出入焊墊與該立體化寬線路結構電性連通。

43.如申請專利範圍第 42 項所述之晶片表面安置被動元件結構之製程，其中該輸出入焊墊之一表面暴露出該

(請先閱讀背面之注意事項再填寫本頁)

裝

ERROR: ioerror
OFFENDING COMMAND: image

STACK:

-savelevel-